

P

集積回路工学

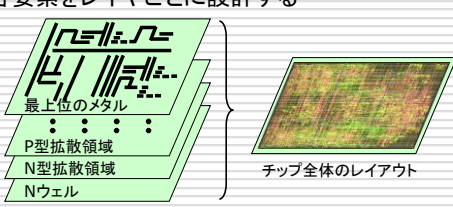
9. レイアウト

1

P

レイアウトとは？

- レイアウトとは、トランジスタや配線等の回路構成要素を配置する作業。
 - ウェル、拡散領域、ポリシリコン、メタルの配置
- 各要素をレイヤごとに設計する

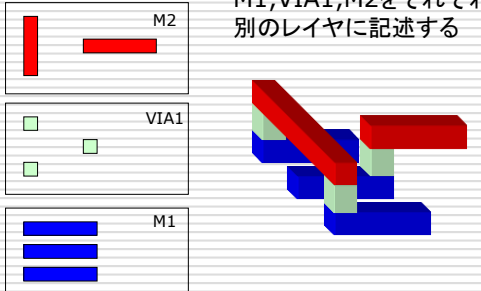


3

P

3次元構造とレイヤ

M1, VIA1, M2をそれぞれ別のレイヤに記述する



4

P

レイヤ

- P型基板のシングル・ウェル(3Metal)の場合

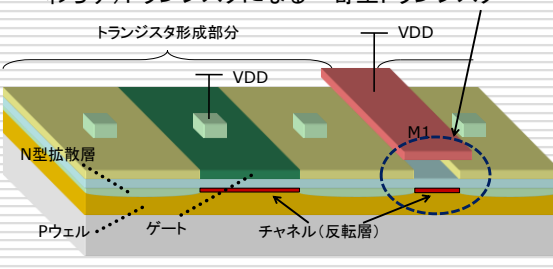
■ NWL	Nウェル	N型基板にする部分
■ ACT	アクティブ	薄い酸化膜(後述)
■ PDF	P型拡散領域	P+領域
■ NDF	N型拡散領域	N+領域
■ PLY	ポリシリコン	ゲート(ポリシリコン配線)
■ CNT	コンタクト	PDF, NDF, PLYとM1の接続
■ M1	メタル1層	配線層 第1層目
■ VIA1	ビア1	M1とM2の接続
■ M2	メタル2層	配線層 第2層目
■ VIA2	ビア2	M2とM3の接続
■ M3	メタル3層	配線層 第3層目

5

P

寄生素子

- MOS構造になっていれば、(設計者の意図に関わらず)トランジスタになる⇒寄生トランジスタ

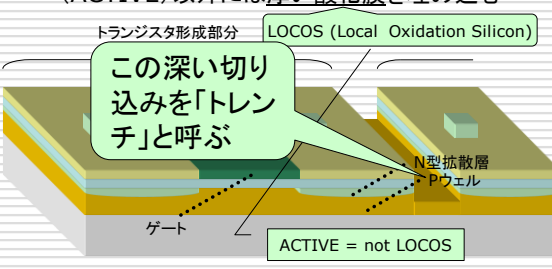


6

P

ACTIVEレイヤ(1/2)

- 素子分離のため、トランジスタを形成する部分(ACTIVE)以外には厚い酸化膜を埋め込む



7

ACTIVEレイヤ(2/2)

- 素子分離のため、トランジスタを形成する部分 (ACTIVE) 以外には厚い酸化膜を埋め込む

ここに寄生トランジスタができるのを防ぐ

8

レイアウトと実際のMOS断面図

- P+は実際には、PDF and (not PLY)部分となる (PLYの下はNウェル) (後述)

9

拡散領域上のポリシリコン

- P-Diffを描く際、実際にはゲート下はNウェルになるが、P-Diff図形はゲート下にも配置する必要がある。

理由は「製造/テスト/検証」の講義で説明します。

11

レイアウトと実際のMOS断面図

- P+は実際には、PDF and (not PLY)部分となる (PLYの下はNウェル) (後述)
- ACT以外の部分は厚い酸化膜を埋め込む (素子分離のため)

12

基板電圧 (1/2)

- MOSFETは基板にも電圧をかける必要がある (基板電圧)
- Nウェル上に直接コンタクトを置くと接合抵抗が大きいため、N+を介してコンタクトを接続する (Pウェルの場合はP+)。

理由は「製造/テスト/検証」の講義で説明します。

13

基板電圧 (2/2)

- MOS FETの回路記号

MOS FETは正確には4端子の素子

14

P 設計規則 (Design Rule)

- LSIを設計する時には、
 - 製造・加工上の限界、
 - 正しく動作させるため、
 - 歩留まりを上げるため、等の理由から、設計規則が定められている
- 必ず設計規則に従わなければならない
 - もし、設計規則に従わないと、
 - 設計図通りに仕上がらない、
 - 歩留まりが下がる、
 - 製造拒否

15

P 製造・加工上の限界

- 最小線幅の規定
 - 図形の幅の最小値を規定
 - 最小線幅以下の線は断線したりする可能性あり
- 最小間隔の規定
 - 図形同士の間隔の最小値を規定
 - 最小間隔以下の図形は接続(あるいはショート)する可能性あり
- 形状の規定
 - 曲線・鋭角は禁止
 - 順守しないとレイアウト通りに製造されない

16

P 正しく動作させるため

- トランジスタの形状規定
 - ポリシリコンの突き出しルール等
 - 順守しないと正しい素子にならない
- 配線層の形状規定
 - 電源、グラウンドの配線幅の規定等
 - 順守しないと動かないLSIになる

17

P 歩留まりを上げるため

- アンテナ・ルール
 - ゲート面積と拡散層に未接続の配線の比
 - 従わないと、製造中にゲート酸化膜が破壊
 - パターン密度ルール
 - 配線等のパターンの密度を規定値内に収める
 - 例) 拡散領域はチップ全体の20-70%等
 - 製造プロセスのばらつきを抑えることが目的
 - 従わないと歩留まりが低下
- ➡ ■ プロセス毎に設計規則が規定されている
■ 製造会社から送付される

18

P 守秘契約 (NDA)

- 設計規則には、最小配線幅、最小加工寸法、電気的特性等が記述されている

つまり
その製造会社の加工技術、
プロセス特性等が明白

よって
極秘事項

...とはいえ、知らないと設計できない

- 守秘契約(外部に漏らさないという契約)を結んだ上で、設計規則を開示される

19

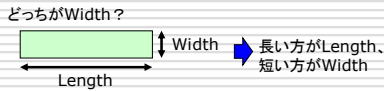
P 設計規則の具体例

- 設計規則には、
 - プロセスの説明
 - レイヤの定義
 - 各レイヤごとの設計規則
 - 全体に関する設計規則
 - 電気的特性(抵抗、容量等)等が記載されている
- ここでは、教育研究用に公開されているTSMCの0.25umプロセスの設計規則を例に説明する

20

P 基本的な設計規則の読み方

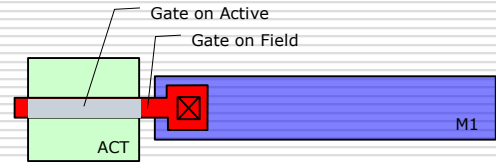
- よく使用されるルールは、
 - width (最大幅・最小幅)
 - length (最大長・最小長)
 - spacing (隣接図形との間隔)
 - overlap (上位・下位図形と重なり)
 - extension (上位・下位図形からの突き出し)



22

P アンテナ・ルール

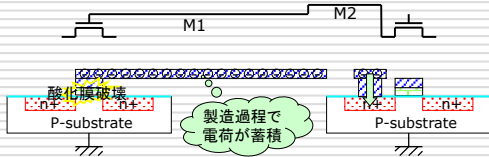
- Gate on Field : Gate on Active
 - Max ratio = 80:1
- Metal 1 : Gate poly (if no diffusion connection through metal 1)
 - Max ratio = 100:1



31

P アンテナ・ルールが必要な理由

- 製造中に拡散領域に接続されていないゲートに電荷が溜まり、ゲート部分を破壊する

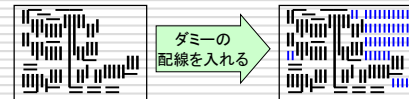


- ゲートに接続している配線をプロセスの早い段階で拡散領域に接続する
 - 長配線避ける
 - 一度上の配線層に上げてから長配線に接続する

32

P パターン密度ルール

- チップ内のパターン密度を一定の範囲内に収める規定
 - 製造プロセスのばらつきを抑える指針的なルール
 - 満たさないからといって、必ずしも動作不良になる訳ではない
 - 大幅に違反した場合、歩留まりが低下する可能性がある
 - 例) Metal2の配線はチップ全体の30~70%



34

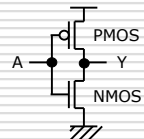
P 超微細プロセスの設計規則

- これまでの説明を理解していれば、他のプロセスの設計規則も(大部分は)読める
- 0.13um以下の超微細プロセスはルールが非常に複雑
 - 例) 0.13umの設計規則は50ページ以上
 - 40nmだと800ページ以上!!
- 基本的な記述方法、規則は同じ

35

P INVのレイアウト

- スタANDARDセル用INVのレイアウトを行う
- P型基板のシングルウェル構成を想定
- 上半分にPMOS、下半分にNMOSを実現
- PMOS, NMOSともL=1.2um, W=3.6um
- セルの高さは固定長
- 電源配線の幅、高さは固定長



36

P INVのレイアウト(電源、グランド)

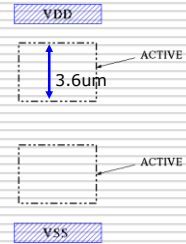
- 電源、グランド配線を引く。
- 横に並べられるように、電源配線の高さ、配線幅は固定長(長さは自由)。



37

P INVのレイアウト(アクティブ領域)

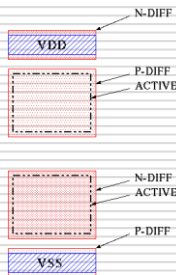
- トランジスタを形成する部分(アクティブ領域)を指定する。高さ(トランジスタの幅)は $W=3.6\mu\text{m}$ より $3.6\mu\text{m}$ とする。



38

P INVのレイアウト(拡散層)

- トランジスタ形成部分以外にも、基板電圧をかけるための電源、グランド配線の下にも拡散層を配置する。
- ルール4.1に注意する。



39

P INVのレイアウト(Nウェル)

- P型基板のシングルウェルなので、NMOS側にはウェルはない(ツインウェルの場合はNMOS側にPウェルが必要)。
- ルール2.3,2.4,2.5に注意する。

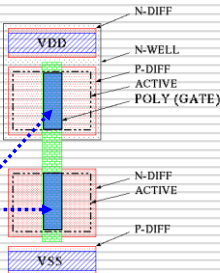


40

P INVのレイアウト(ポリ・ゲート)

- PMOSとNMOSのゲートはポリで接続する。
- ルール3.1に注意する。

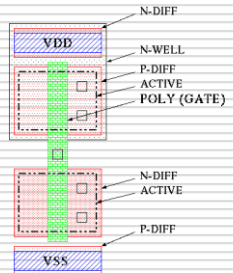
この部分がトランジスタになる



41

P INVのレイアウト(コンタクト)

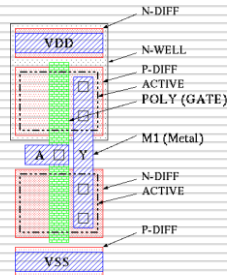
- ゲートへの入力端を引き出すため、コンタクトを打つ。
- PMOS側のソース、NMOS側のドレインを引き出すためのコンタクトを打つ。
- ルール6.1,6.5,6.7に注意する。



42

INVのレイアウト(信号線の配線)

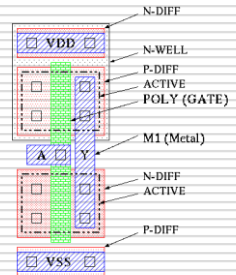
- トランジスタ間をM1で配線し、入力端(A)、出力端(Y)を作る。
- A, YはM1上に配置したラベル(ピン)である(M1に名前を付けるだけで、入出力端用の部品があるわけではない)



43

INVのレイアウト(電源・基板用コンタクト)

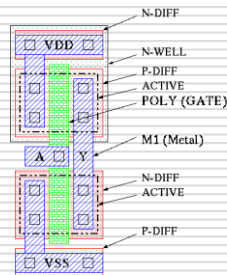
- 電源・グランドと基板を接続するためのコンタクトを打つ。
- PMOS側のドレイン、NMOS側のソースをそれぞれVDD, VSSに繋ぐためのコンタクトを打つ。



44

INVのレイアウト(電源配線)

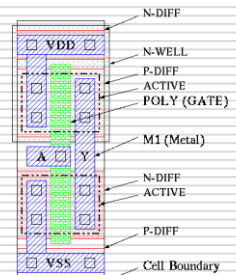
- PMOS側のドレイン、NMOS側のソースをそれぞれVDD, VSSに繋ぐ。



45

INVのレイアウト(セル境界)

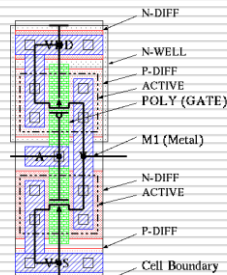
- セルの境界を指定する。
- セルを横に並べるときには、境界がオーバーラップしないように配置される。



46

INVのレイアウト(レイアウト結果)

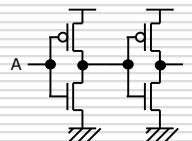
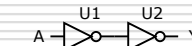
- レイアウト完成。



47

INVを使ったBUFの実装

- 先ほど設計したINVを2個使いBUFを実現する。

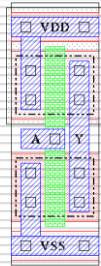


~ネットリスト~
INV U1(A, TMP);
INV U2(TMP, Y);

48

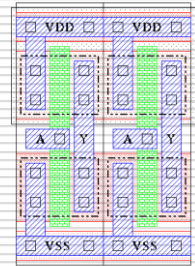
BUFの実装 (INVを配置)

- INVを一つ配置。



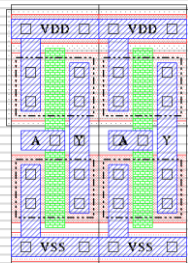
BUFの実装 (INVを並べる)

- 高さを揃えてもう一つINVを配置。
- セル境界(Cell Boundary)が重ならないように配置する。



BUFの実装 (ビア)

- 左側のINVのYと右側のINVのAをM2で接続するため、ビアを打つ。



BUFの実装 (配線)

- 左側のINVのYと右側のINVのAをM2で接続する。

～注意～
今回は説明のため、INV間をM2で繋いでいるが、実際の設計ではM1で直接繋いでしまっても構わない。

自動配置配線ツールは
今の手順を行うプログラム

