

卒業論文

題目

可変パイプライン段数プロセッサ  
のFPGAへの実装方法の検討とそ  
の評価

指導教員

佐々木 敏泰 助教

2010年

三重大学 工学部 情報工学科  
計算機アーキテクチャ研究室

柏倉 宗行(407809)

## 内容梗概

近年、集積回路の集積度の飛躍的な向上に伴い、FPGA 上に CPU や周辺回路を含むシステム全体を構築する FPGA/SoC の実現が期待されている。FPGA は特定用途向け IC(ASIC) と比べ製造コスト的にも安価であり、その使用範囲は拡大してきている。しかし、ASIC と比較して数十倍の電力を消費するため、FPGA における消費電力の低減が必須である。

消費電力低減の一手法として可変パイプライン段数アーキテクチャ(VSP:Variable Stages Pipeline) が提案されている。VSP はパイプライン段数を動的に変化させると同時に、パイプラインステージ統合時に増加するグリッヂの発生を緩和することで、高性能と低消費電力の両立を実現している。本論文では FPGA 上に VSP を実装し、消費電力の低減を目指す。

しかし、VSP の要素技術である LDS-cell(Latch DFF Selector\_cell) は、グリッヂの緩和と LDS-cell 自体の低電力化のために特殊な構成になっており、LDS-cell を FPGA 上に実装することは不可能である。そこで、本論文では LDS-cell の代案として、Negative Edge Flip-Flop を挿入することで、FPGA 上へ VSP を効率的に実装する手法を提案する。

実際に FPGA を搭載した FPGA ボードを用いて、提案手法の評価を行ったところ、低消費電力モードでは、従来手法の PSU(Pipeline Stage Unification) と比較して 8% の電力削減を実現した。

# Abstract

Recently, field programmable gate array (FPGA) can implement complex systems on a single chip because of the enhancement of semiconductor technologies. In the market trend of high-variety low-volume manufacturing, the cost of a FPGA becomes cheaper than that of application specific integrated circuit (ASIC). However, FPGA significantly consumes large energy than an ASIC. Therefore, it is very important to reduce energy consumption of FPGA.

A variable stages pipeline (VSP) architecture is proposed as one of the low energy techniques. VSP dynamically changes the number of pipeline stages and reduces glitch propagation, to achieve both low energy and high performance. Therefore, the implementation of VSP on FPGA is desirable to reduce energy consumption.

However, latch DFF selector cell (LDS-cell) which is essential technology of VSP, is impossible to mapping on FPGA because LDS-cell is a special circuit. In order to solve the problem, this paper proposes the implementation methods to mapping VSP processor on a FPGA using negative edge flip-flop as an alternative method of LDS-cell.

This paper implements the proposed method and evaluates an energy consumption of FPGA by using a FPGA board. As a result, the energy consumption reduces by 8% than the conventional low energy approach.

# 目 次

1	はじめに	1
2	FPGA に関する概括	3
3	先行研究	5
3.1	パイプライン統合手法に関する概括	5
3.2	VSP(Variabe Stages Pipeline) に関する概括	7
3.3	グリッヂに関する概括	10
3.4	LDS-cell に関する概括	11
4	関連研究	14
4.1	Delay Insertion	14
4.2	Negative Edge Flip-Flop Insertion	15
4.3	Multiphase Flip-Flop Insertion	16
5	VSP の FPGA への実装とその評価	19
5.1	実装手法の提案	19
5.2	VSP 実装の予備実験	20
5.3	VSP の実装とその評価	23
6	おわりに	25
	謝辞	25
	参考文献	25

## 図 目 次

2.1	標準的な FPGA のアーキテクチャ . . . . .	3
3.2	パイプライン段数の変更 . . . . .	6
3.3	VSP プロセッサの構成図 . . . . .	8
3.4	グリッヂ . . . . .	10
3.5	グリッヂの緩和 . . . . .	11
3.6	LDS-cell 型パイプラインレジスタの動作 . . . . .	12
3.7	LDS-cell 型パイプラインレジスタの動作の概念図 . . . . .	12
3.8	LDS-cell . . . . .	13
4.9	遅延素子によるグリッヂ削減 . . . . .	14
4.10	Negative Edge Flip-Flop 挿入の例 . . . . .	15
4.11	Negative Edge Flip-Flop によるグリッヂ削減 . . . . .	15
4.12	Multiphase Flip-Flop 挿入の例 . . . . .	17
4.13	Multiphase Flip-Flop によるグリッヂ削減 . . . . .	17
5.14	VSP の実装方法 . . . . .	19
5.15	実機環境 . . . . .	22
5.16	予備実験回路 . . . . .	22

## 表 目 次

5.1 ターゲットデバイス . . . . .	20
5.2 定電圧源詳細 . . . . .	21
5.3 予備実験回路での消費電力 (HS を 1 として正規化) . . . . .	22
5.4 実機での消費電力 (HS を 1 として正規化) . . . . .	24

# 1 はじめに

近年、集積回路の集積度の飛躍的な向上に伴い、FPGA(Field-Programmable Gate Array) 上に CPU や周辺回路を含むシステム全体を構築する FPGA/SoC の実現が期待されている。FPGA は特定用途向け IC(ASIC) と比べ製造コスト的にも安価であり、その使用範囲は拡大してきている。しかし、ASIC と比較して数十倍の電力を消費するため、FPGA における消費電力の低減が必須である。

現在の汎用プロセッサの代表的な低消費電力手法である DVS(Dynamic Voltage Scalin)[1] は、動的に電源電圧と動作周波数を変化させることで消費エネルギーを削減する。しかし、DVS は将来的に電源電圧の低下による電源電圧変化幅の減少によって消費エネルギーの削減効率が低下することが予想される。また、動作周波数の低下に比例して性能が低下するという問題点もある。そこで電源電圧に依存しない低電力化手法として、アプリケーションの特性やユーザの要求性能に応じてパイプライン段数を動的に変化させることで低消費電力と高性能の両立を目指した可変パイプライン段数アーキテクチャ(VSP:Variable Stages Pipeline) [2][3][4] が提案されている。VSP はパイプラインレジスタの代わりに LDS-cell(Latch DFF Selector\_cell) という特殊な D-FF を用いることで、動的なパイプラ

イン段数の変更を実現している。

しかし、LDS-cell は特殊な構成になっており、FPGA 上に実装することは不可能である。本研究では、LDS-cell の代案として Negative Edge Flip-Flop を用いた VSP を FPGA 上へ効率的に実装する手法について検討し、さらなる低消費電力化を目指す。

## 2 FPGAに関する概説

FPGAはデバイス中の電気的な結線位置情報を変更する動作を行うことで、アプリケーションに応じて最適なデバイス構成を取ることの出来るデバイスである。1bit単位で構成が行われるLUT(Look-Up Table)を組み合わせることによって所望の回路を実現する。図2.1に標準的なFPGAのアーキテクチャを示す。

FPGAは最小の構成単位であるLE(ロジックエレメント)から成り、LEはLUT(ルックアップテーブル)とD-FFから成る。このLEを内部配線により組み合わせることによりFPGA上に回路を実現する。

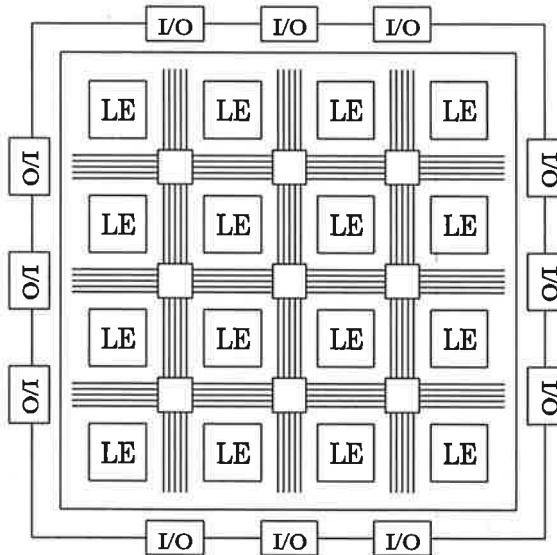


図 2.1: 標準的な FPGA のアーキテクチャ

近年、特定用途向け IC(ASIC) を作成する際、チップに一億を超えるトランジスタを積載するケースがあり、このようなチップを作成する場合、開発コストが増大してしまう。対して、FPGA を利用することで開発期間、金銭的なコストを大きく削減できることから、その需要は拡大している。しかしながら、FPGA は ASIC に比べ消費電力が大きく、比較して十数倍の電力を消費するという短所がある [5]。これらの理由から、FPGA における消費電力の低減は必須の試みであるといえる。

### 3 先行研究

本節では、プロセッサの低消費エネルギー手法に関する研究について概説する。現在の代表的な低消費エネルギー手法の一つとして DVS があげられる。DVS は動的に電源電圧と動作周波数を制御することによって消費エネルギーを削減する。しかし、LSI の電源電圧は年々低下しており、将来的に閾値電圧の制御などの問題から電源電圧を低下させることのできる変化幅は小さくなるといわれている。そのため DVS による消費エネルギーの削減効率は低下することになると考えられる。そこで、DVS に代わって、電源電圧に依存しないアーキテクチャレベルの低消費エネルギー手法が多く提案されている [6]。アーキテクチャレベルの低消費エネルギー手法の一つとして、PSU(Pipeline Stage Unification)[7] や DPS(Dynamic Pipeline Scaling)[8] のように動的にパイプラインステージを変化させる手法がある。これを本論文ではパイプライン統合手法とよび、次節で説明を行う。

#### 3.1 パイプライン統合手法に関する概説

これらのプロセッサのパイプライン構造の例を図 3.2 に示す。PSU や VSP の手法は動作周波数に応じて動的にパイプラインステージを統合す

る。これによって以下の利点がある。

- 分岐ミスペナルティとデータ依存による待ちサイクルの削減によつて実行時間を削減することが可能である。
- 使用しないパイプラインレジスタやユニットへのクロックを停止することでその部分の消費エネルギーを削減できる。

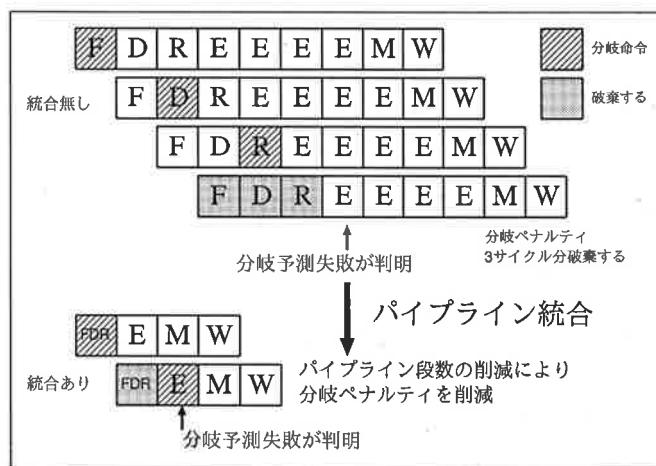


図 3.2: パイプライン段数の変更

以上の利点によって低消費エネルギー化が可能である。また非同期のプロセッサにおいてパイプラインラッチコントローラを制御することでパイプライン段数を削減し、低消費エネルギー化を実現する手法も提案されている [9]。しかしながら、いずれの手法もパイプラインを統合することにより、巨大な組み合わせ回路ができ、その結果多大なグリッヂが発

生することになる。これは、パイプライン結合時に消費電力が増大する一因になり、低電力化の低減に繋がる。そこで本研究室ではパイプラインステージ統合時に増加する組合せ回路内のグリッヂを緩和する LDS-Cell という特殊なセルを用いた VSP を提案している。VSP, グリッヂおよび LDS-Cell については次節で述べる。

### 3.2 VSP(Variable Stages Pipeline)に関する概括

VSP は PSU と同様、パイプライン段数を動的に変更することで低消費エネルギー化を目指すアーキテクチャであるが、PSU とは異なり単純にステージ統合を行うのではなく、統合により発生するグリッヂの増加を LDS-cell という特殊なセルを導入することにより抑制している (LDS-cell の詳細は第 3.4 節に示す)。VSP の一例として、図 3.3 に VSP プロセッサの構成図を示す。

VSP はパイプライン段数の違いによって高速モードと低消費電力モードの 2 つのモードを持つ。これら 2 つのモードの特徴は以下の通りである。

高速モード:

- 9 段パイプラインであり、LDS-cell はパイプラインレジスタとして動作する。

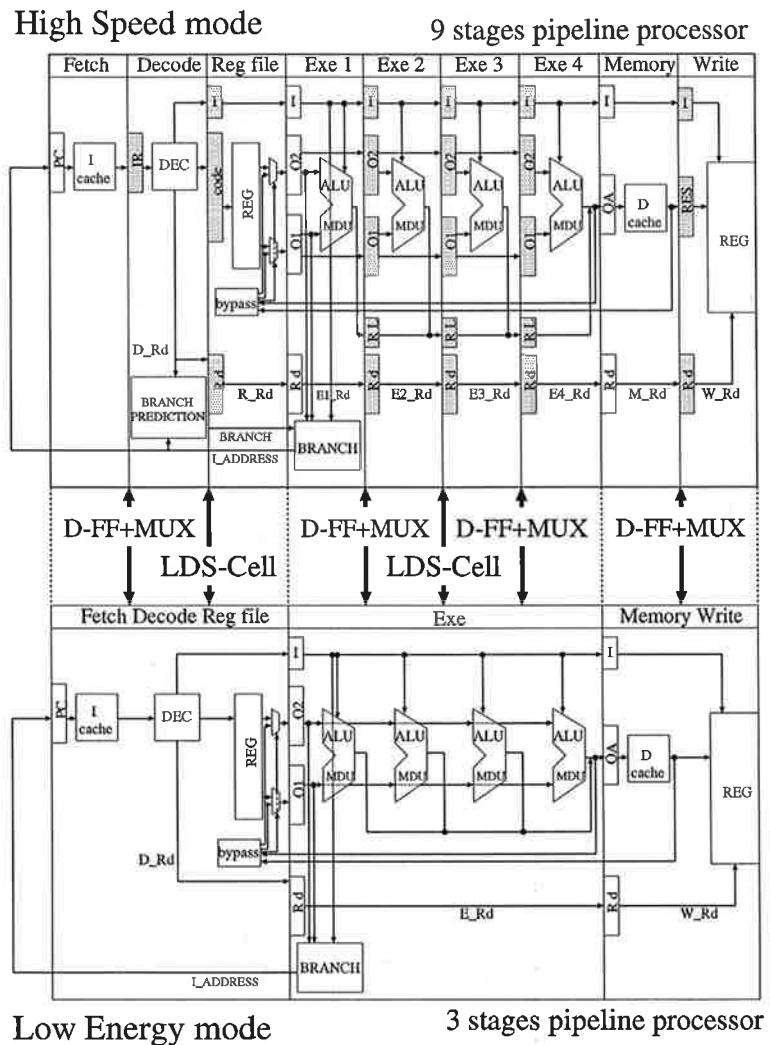


図 3.3: VSP プロセッサの構成図

- デコードステージに分岐予測ユニットを搭載しており、分岐ミスペナルティは3サイクルである。
- 無条件分岐は分岐予測ユニットにおいて 100% の分岐予測が可能で

ある。

- インターロックと演算結果のフォワーディング機構を搭載している。

#### 低消費電力モード:

- 3段パイプラインであり、 LDS-cell はグリッヂの緩和を行う D-ラッチとして動作する。
- 高速モードの  $1/4$  の周波数で動作する。
- 遅延分岐, 遅延ロード, フォワーディングによって分岐ペナルティやデータ依存によるインターロックが発生しない。
- 分岐予測ユニットやバイパスされて使用しなくなったパイプラインレジスタのクロックを止めることでパイプラインレジスタで消費されるエネルギーを削減することができる。

これら 2 つのモードにより VSP は、 1) バイパスするパイプラインレジスタの停止を含むクロックゲーティング と、 2) グリッヂ緩和 により消費電力を低減する。

### 3.3 グリッヂに関する概説

グリッヂとは、論理ゲートの遅延、配線の遅延等による不要な出力の切り替わりのことである。図 3.4 に示すように、入力 (IN1, IN2) の切り替わりに時間差があると、出力 (OUT) でグリッヂが発生し、この部分で無駄な消費電力が生じる。また、回路前半で発生したグリッヂが回路後半のゲートに伝播することにより新たなグリッヂが発生するため、一般的に組合せ回路の規模が増大すると配線遅延の影響も受け、グリッヂの量も増大する。VSP では、統合されたパイプラインステージ中に Latch が存在することでグリッヂ増加を緩和する。Latch はそれ以前で発生した電気信号 (データ、及びグリッヂ) を以降に伝えず、一定のタイミングで信号を Latch から同時に再出力する。図 3.5 にこの効果によって統合されたパイプラインステージでのグリッヂの緩和の様子を示す。

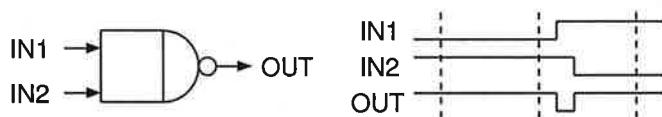


図 3.4: グリッヂ

ここで、ランダムロジックをゲートで構成した場合、入力パターンの変化により信号の遷移時間にはらつきが発生し、複雑なグリッヂが発生す

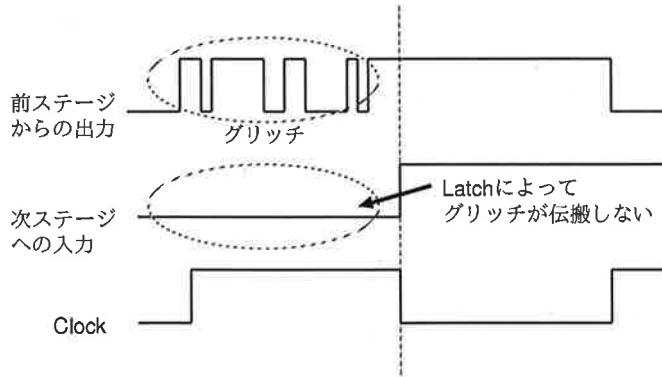


図 3.5: グリッヂの緩和

る。一方, FPGA はランダムロジックを LUT で構成している。LUT でランダムロジックを構成した場合のグリッヂの発生量やそれによる消費電力増加についてはあまり研究が行われていない。そこで、本論文では予備実験によって、グリッヂの発生による消費電力の影響を明らかにする。

### 3.4 LDS-cell に関する概括

図 3.6 は LDS-Cell の動作の概念図で、LDS-cell が D-FF と Latch の両方の役割を果たすことを示している。LDS-cell 型パイプラインレジスタはパイプラインステージ統合時において図 3.7 のようにクロックの前半部分と後半部分において動作を行う。

クロックの前半部分はマスター Latch の値が出力されるため、グリッヂが含まれる前段の出力が次段の入力へ伝えられない。クロックの後半部

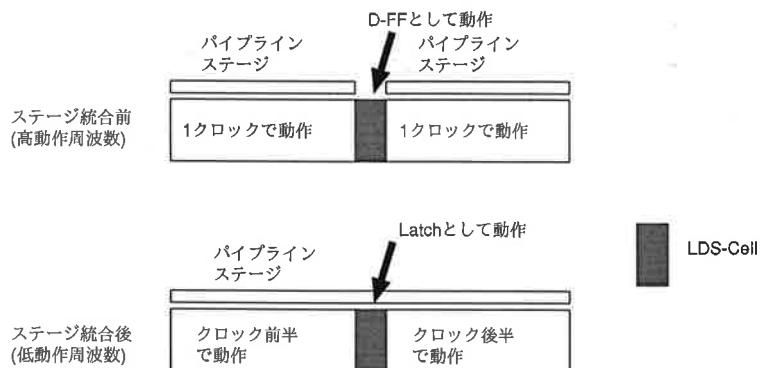


図 3.6: LDS-cell 型パイプラインレジスタの動作

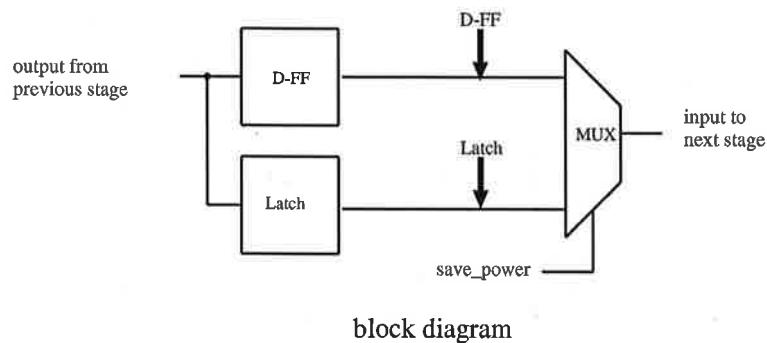


図 3.7: LDS-cell 型パイプラインレジスタの動作の概念図

分ではスレーブ Latch がバイパスされるため、前段の出力が次段の入力へと伝えられてステージ間の統合を実現し、`save_power` 信号線をアサートすることによってパイプラインレジスタは Latch として機能している。非統合時には LDS-cell 型パイプラインレジスタは `save_power` 信号線をネゲートすることで D-FF と同じ振る舞いをする。

LDS-cell の回路図を図 3.8 に示す。LDS-cell は D-FF をベースにして設

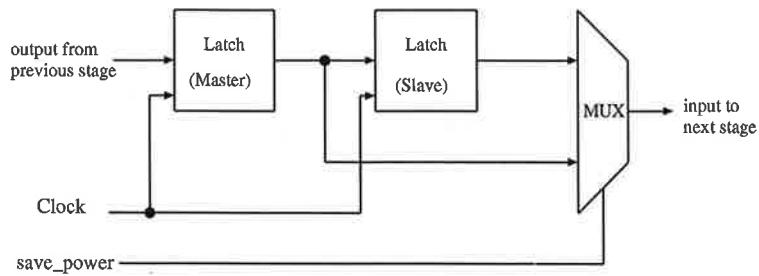


図 3.8: LDS-cell

計されている。というのは LDS-cell がスタンダードセルを用いた設計を前提としており、パイプラインレジスタがD-FFを用いて設計されているプロセッサを想定しているためである。図 3.8 の LDS-cell ではマスター Latch から信号線をバイパスすることで、D-FF と Latch の動作を切り替える。このセルにより無駄なリソースを使わずに VSP に必要な機能を実現できるが、このような形状を持つセルは FPGA には存在せず、FPGA 上に VSP を実現する際の妨げとなってしまう。

## 4 関連研究

第3.4節でも述べたように、FPGA上にLDS-cellを実現することは不可能なため、VSP実装のために応用出来そうな関連研究の調査を行った。各手法の説明を次節に示す。

### 4.1 Delay Insertion

回路のパスによる信号到達のばらつきをなくすため、先に信号が到達する信号線に遅延素子を挿入し、グリッヂを削減する手法である。遅延素子によるグリッヂ削減の様子を図4.9に示す。

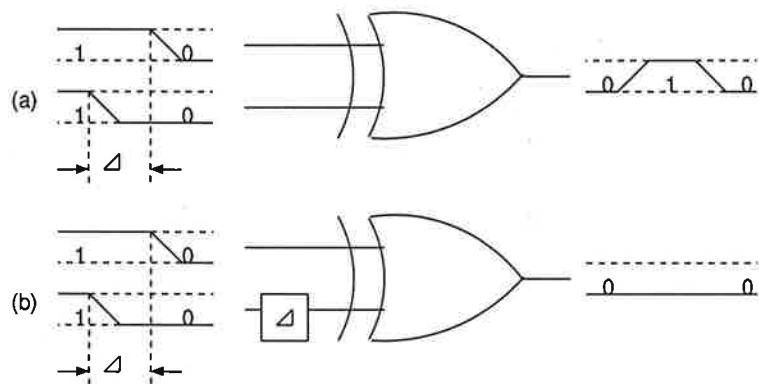


図4.9: 遅延素子によるグリッヂ削減

図4.9のように、(a)では入力の切り替わりの時間差によってグリッヂが発生しているのに対し、(b)では遅延素子によって入力の切り替わりが揃えられ、グリッヂが発生しなくなっている。この手法を用いた回路では

18%の電力が削減出来ることが明らかとなっている。[10]しかし欠点として、VSPでは動的に構成が変化するので、静的な手法では効果が少ない。

## 4.2 Negative Edge Flip-Flop Insertion

大きな直列のロジックに発生するグリッヂを削減する手法で、入力クロックを反転したD-FFをロジックの間に挿入することで、グリッヂの伝搬を防ぐ。回路図の例を図4.10に示す。

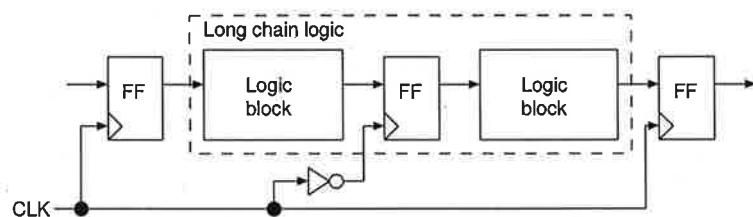


図 4.10: Negative Edge Flip-Flop 挿入の例

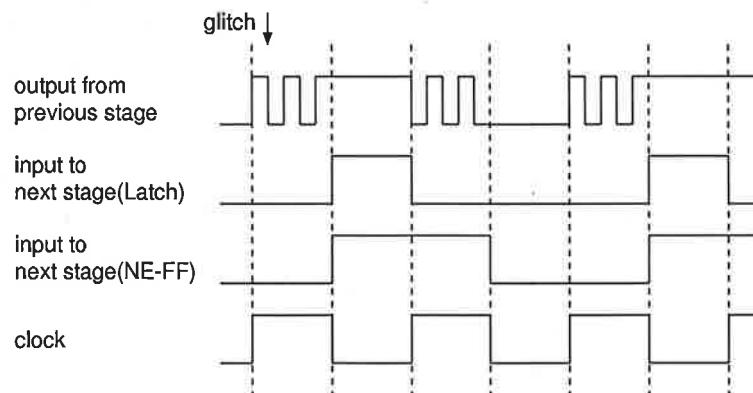


図 4.11: Negative Edge Flip-Flopによるグリッヂ削減

Negative Edge Flip-Flop(以下 NE-FF と呼ぶ)を挿入することで、図 4.11 のように NE-FF はクロックの立ち下がりエッジでしか出力が変化しないため、前段のロジックのグリッチが後段のロジックに伝搬するのを防ぐことが出来る。また、前段のロジックからの信号はクロックの立ち下がりエッジ前に安定しており、クロックの Low 部分で変化することはないため、Latch を NE-FF に置き換えることが可能である。NE-FF の挿入によって、7%の電力削減が可能であることが明らかとなっている。[11]

### 4.3 Multiphase Flip-Flop Insertion

先の手法の NE-FF を Multiphase Flip-Flop(以下 Mp-FF と呼ぶ)に置き換えたものである。NE-FF はクロックの立ち下がりエッジで出力が変化するため、ロジックに挿入できる数は 1 つに限られていた。しかし、Mp-FF はクロックの位相を調節することで、ロジックに複数個の FF を挿入できるため、より大きなグリッチ削減効果を期待できる。Mp-FF を挿入した回路図の例を図 4.12 に示す。

図 4.13 は Mp-FF によるグリッチ削減の様子である。FF を複数個挿入することで、さらに細かくロジックのグリッチ伝搬を防ぐことができる。本手法では、65%のグリッチ削減と 15%の電力削減が可能であることが

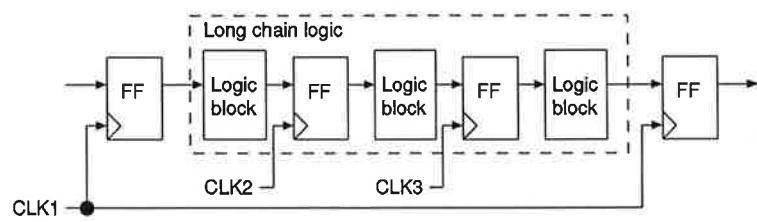


図 4.12: Multiphase Flip-Flop 挿入の例

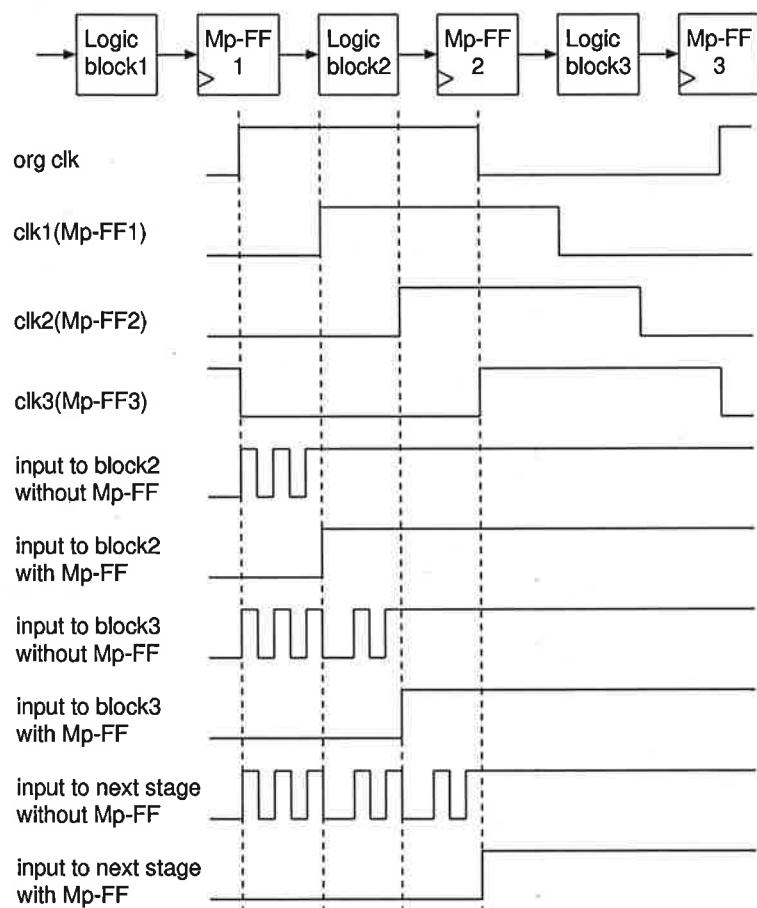


図 4.13: Multiphase Flip-Flop によるグリッヂ削減

明らかとなっている。[12]

複数個の FF を挿入することによってグリッヂ削減率では有利となるが、FPGA 上で動的にクロックを変更すると制御が複雑になるため、本研究では NE-FFInsertion を利用する。

## 5 VSP の FPGA への実装とその評価

本論文では FPGA の VSP への適用を実現するために、第 4.2 節で示した NE-FF Insertion を応用する手法を提案する。また、VSP の FPGA への適用の有効性を示すために実験を行う。

### 5.1 実装手法の提案

第 3.4 節でも触れたように、FPGA 上に LDS-cell を実装するのは不可能である。そこで、図 5.14 のように LE モード時には LDS-cell にあたるパイプラインレジスタのクロックを反転させることで、LDS-cell と同等の振る舞いを実現させる手法を提案する。

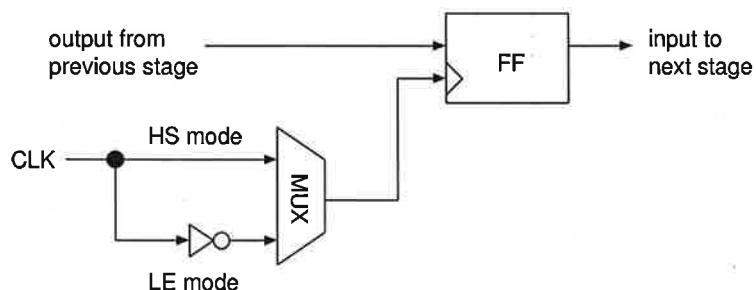


図 5.14: VSP の実装方法

FPGA は LUT と LUT 間を結ぶ配線用のスイッチを電気的に制御することで再構成を実現している。FF に対するクロック線も同様で、複数のクロック専用線から正相、逆相を選択して使うための配線が用意されて

いる。通常、これらの線を実行時に動的に切り替えて使うことは無いが、本研究ではこれを動的に切り替えることでグリッヂの伝搬を抑制している。そのため、図 5.14 の回路を実現するためのオーバーヘッドは非常に少ない。

## 5.2 VSP 実装の予備実験

FPGA への VSP 実装に先立って、提案手法の予備実験を行った。本論文のターゲットデバイスである FPGA のモデルは Altera 社の Stratix II を用いる。表 5.1 にターゲットデバイスの詳細を記載する。

表 5.1: ターゲットデバイス

Type Name	EP2560F672C3F
Core Voltage	1.2V
ALMs	24176
ALUTs	48352
LEs	60440
User I/Os	718
Memory bits	2544192
Embedded multiplier	144
PLL	4

評価は Altera 社の Quartus II 7.2 を用いて予備実験用回路を論理合成・マッピングし、実機動作確認による消費電力評価を行う。実験に用いた評価キットである Altera DE2 の概略図、及び定電圧源を図 5.15 に示す。実機評価は図 5.15 に示した FPGA コアに直接つながる配線に定電圧源を接

続し、1.2Vの電圧を与えFPGAを駆動している。また、定電圧源は電流計を兼ねており、コアに流れる電流を直接計測できる。定電圧源の詳細を表5.2に示す。FPGAコアはそれ自体が持つ熱により消費電力に大きな違いが生じるため、簡単なファンを取り付け、FPGAコアを常に冷却する環境とする。

表 5.2: 定電圧源詳細

メーカ	Agilent
型番	E3640A
出力定格	0-8V/3A
電圧プログラミング確度	< 0.05% + 10mV
電流プログラミング確度	< 0.2% + 10mA
電圧リードバック確度	< 0.05% + 5mV
電流リードバック確度	< 0.15% + 5mA
メータ分解能（電圧）	10mV
メータ分解能（電流）	1mA

予備実験に用いる回路は、32bit乗算器を直列に2つ繋いだロジックに乱数発生器からの信号を入力し、グリッチの発生しやすい状態にした。評価はVSPを再現した3つの動作モードで行う。回路図を図5.16に示す。HSモードは2段パイプライン、LEモードはパイプラインステージを統合した状態を再現している。

HSモードを1に正規化した測定結果(リーク電力は除く)を表5.3に示す。なお、FPGAのリソース利用率は51%であった。

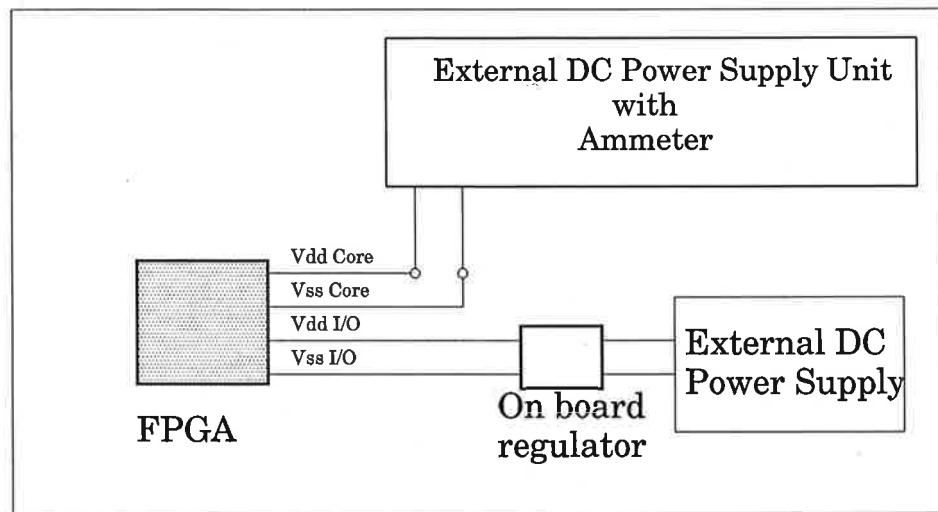


図 5.15: 実機環境

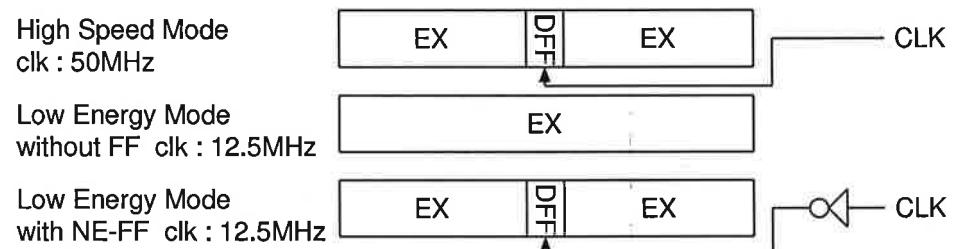


図 5.16: 予備実験回路

表 5.3: 予備実験回路での消費電力 (HS を 1 として正規化)

	LE(FF なし)	LE(NE-FF あり)
消費電力	0.33	0.28

評価結果から、NE-FF を挿入することで、挿入前と比較して 17% の電力を削減出来ることがわかる。また、LE モード (NE-FF あり) は HS モードと比較して 72% 電力を削減できる。以上より、NE-FF によるグリッチ

削減は期待でき、FPGA 上においても VSP は有効であると考えられる。

### 5.3 VSP の実装とその評価

MIPS R3000 命令互換 VSP プロセッサを FPGA 上にマッピングし、実機による評価を行った。実機環境は予備実験と同様のため省略する。評価には、3次の正方行列の乗算プログラムを用いた。このプログラムは、ランダムな 32bit の符号なし整数を 18 個用意しておき、 $3 \times 3$  行列の乗算をループさせたものである。

予備実験と同様に、3つの動作モードの評価を行う。各モードの詳細を以下に示す。

#### HS モード:

- 動作周波数 50MHz

#### LE モード (FF なし):

- 動作周波数 12.5MHz
- FF 停止

#### LE モード (NE-FF あり):

- 動作周波数 12.5MHz

- NE-FF挿入

HSモードを1に正規化した測定結果(リーク電力は除く)を表5.4に示す。なお、FPGAのリソース利用率はNE-FFの有無にかかわらず、どちらも34%であった。

表 5.4: 実機での消費電力(HSを1として正規化)

	LE(FFなし)	LE(NE-FFあり)
消費電力	0.52	0.48

評価結果から、NE-FFを挿入することで、挿入前と比較して8%の電力が削減されたことがわかる。予備実験より削減率が下がったのは、予備実験がグリッチの発生しやすい回路であったことと、リソース利用率の低下が影響していると考えられる。また、リソース利用率はNE-FFの挿入による増加がほとんど見られず、提案手法はほぼオーバーヘッドなしで効率的に実装できることがわかる。この実験から、実機上でもNE-FFを挿入することでグリッチが削減でき、FPGA上においてVSPは有効であることが示された。

## 6 おわりに

本研究では、FPGAにおけるVSPの有効性を示すため、実装方法の検討と評価を行った。NE-FFを挿入することで、ほぼオーバーヘッドなしにVSPの構成を再現することが可能であり、従来手法のPSU(FFなし)と比較して8%の電力削減を実現できた。今後、Mp-FFを応用することで更なる電力削減を実現する。

## 謝辞

本研究を行うにあたり、ご指導、ご助言いただきました下さいました佐々木敬泰助教、並びに多くの助言をいただきました近藤利夫教授、大野和彦講師に深く感謝いたします。また、様々な局面にてお世話になりました計算機アーキテクチャ研究室の皆様にも心より感謝いたします。

## 参考文献

- [1] J. Pouwelse, K. Langendoen, and H. Sips: Dynamic voltage scaling on a low-power microprocessor, 7th ACM Int. Conf. on Mobile Computing and Networking (Mobicom), pp.251–259, (July 2001).

- [2] 市川 裕二, 佐々木 敬泰, 弘中 哲夫: 可変パイプラインを用いた低消費エネルギープロセッサの設計と評価, 情報処理学会 研究報告, pp.37-42, (2005年8月).
- [3] 市川 裕二, 佐々木 敬泰, 弘中 哲夫, 谷川 一哉, 北村 俊明, 近藤 利夫: 可変パイプラインを用いた低消費エネルギープロセッサの設計と評価, 情報処理学会論文誌（コンピューティングシステム）, Vol.47, pp.231-242, (2006年5月).
- [4] Yuji Ichikawa, Takahiro Sasaki, Tetsuo Hironaka, Kazuya Tanigawa, Toshiaki Kitamura, and Toshio Kondo: A Design of Prototype Low Energy Processor by Variable Stages Pipeline Technique, Proc. of International Technical Conference on Circuits/Systems Computers and Communications (ITC-CSCC2005), Vol.2, pp.561-562 (2005年7月).
- [5] Kuon. I and Rose. J: Measuring the Gap between FPGAs and ASICs, Proceedings of the 2006 ACM/SIGDA 14th International Symposium on Field Programmable Gate Arrays, pp.21-30, (July 2006).
- [6] 森本 薫夫, 永田 真, 瀧 和男 “高速モードと低消費電力モードを有

する 2 線式論理回路の設計手法”, 情報処理学会研究報告, pp.53-58,  
2006 年 11 月.

- [7] 嶋田創, 安藤秀樹, 島田俊夫: パイプラインステージ統合とダイナミック・ボルテージ・スケーリングを併用したハイブリッド消費電力削減機構, 2004 年先進的計算基盤システムシンポジウム SACSIS 2004, pp.11-18, (2004 年 5 月).
- [8] Koppanalil, J., Ramrakhyani, P., Desai, S., Vaidyanathan, A. and Rotenberg, E.: A Case for Dynamic Pipeline Scaling, Proc. of Int. Conf. on Compilers, Architecture, and Synthesis for Embedded Systems 2002, pp.1-8, (2002).
- [9] Efthymiou, A. and Garside, J. D.: Adaptive Pipeline Depth Control for Processor Power-Management, Proc. of Int. Conf. on Computer Design 2002, pp.454-457, (2002).
- [10] Lamoureux J, L., et al.: An Active Glitch Minimization Technique for FPGAs, Proc of the ACM International Symposium on Field Programmable Gate Arrays. pp.156-165, (2007).

- [11] Tomasz, S. C., et al.: Using negative edge triggered ffs to reduce glitching power in FPGA circuits, Proc. of Design Automation Conference 2007, pp.324-329, June 2007.
- [12] Lim, H., et al.: Flip-flop insertion with shifted-phase clocks for FPGA power reduction, Proc. of IEEE/ACM International Conference on Computer Aided Design 2005, pp.335-342, December 2005.