

卒業論文

題目

可変パイプライン段数アーキテク
チャへのパワーゲーティング適用
に関する研究

指導教員

佐々木敬泰

2009年

三重大学 工学部 情報工学科
計算機アーキテクチャ研究室

田中将輝 (405829)

内容梗概

近年，モバイルコンピューティングの分野ではプロセッサの消費電力の増大が問題となっており，低消費エネルギーと高性能の両立が要求されている．そこで，この要求に応えるため本研究室ではアーキテクチャレベルの低消費エネルギー化手法として，パイプライン段数を動的に変更する可変パイプライン段数アーキテクチャ（VSP; Variable Stages Pipeline）[1]を提案している．

一般にプロセッサで消費される電力は動的消費電力と静的消費電力に大別できる．動的消費電力はトランジスタのスイッチングにより消費される電力である．一方，静的消費電力はトランジスタの漏れ電流によって引き起こされ，トランジスタのスイッチングに関係なく消費される電力でリーク電力ともいう．近年プロセス技術の微細化に伴い消費電力におけるリーク電力の占める割合が増大し，45nm プロセスでは動的消費電力と同程度まで増大すると考えられている．

VSP による消費電力削減の効果は動的消費電力に対するものであり，リーク電力を削減することは出来ない．そこで本研究では VSP に対して，リーク電力削減に有効な手法であるパワーゲーティングを適用し，実装，評価を行った．その結果 VSP が少段パイプラインの状態である LE モード時において 6% のリーク電力削減を見込むことが出来た．

Abstract

In late years increase of the consumption electricity of the processor becomes the problem in the field of the mobile computing, and low energy consumed and high-performance coexistence are demanded. Therefore the low energy consumed of the architecture level suggests number of the variable pipeline steps architecture (VSP) changing the number of the pipeline steps for motion as technique in this laboratory to meet this demand.

Generally I can classify the electricity used with a processor roughly into dynamic consumption electricity and static consumption electricity. The dynamic consumption electricity is electricity used by the switching of the transistor. On the other hand, the static consumption electricity is caused by the leak electric current of the transistor and says the leak electricity with electricity used regardless of the switching of the transistor. In late years the ratios that the leak electricity in the consumption electricity holds with tininess of the process technology increase, and it is thought that I increase to dynamic consumption electricity and the degree by the 45nm process.

The effect of the consumption electricity reduction by VSP is compared with dynamic consumption electricity and cannot reduce leak electricity. Therefore I applied Power Gating which was the technique that was effective for leak electricity reduction for VSP in this study and implemented it and evaluated it. As a result, I was able to anticipate leak electricity reduction of 6% at the LE mode that VSP was the state of the short stage pipeline.

目次

1	序論	1
1.1	背景	1
2	可変パイプライン段数アーキテクチャ	2
2.1	概要	2
2.2	パイプライン統合手法	3
2.3	VSP (Variable Stages Pipeline)	4
2.3.1	LDS-cell について	6
2.3.2	リーク電力削減の必要性	8
3	パワーゲーティングについて	11
3.1	低電力化手法	11
3.2	パワーゲーティングの概要	13
3.3	パワーゲーティング適用への障害	14
4	パワーゲーティング適用の手法	16
5	性能評価	18
5.1	DFF 単体での評価	18
5.2	VSP 全体での評価	18
5.3	リーク電力削減量の概算	19
6	まとめと今後の課題	21
6.1	まとめ	21
6.2	今後の課題	21
	謝辞	23
	参考文献	24

目 次

2.1	多段パイプライン	3
2.2	少段パイプライン	3
2.3	DFE+MUX	4
2.4	VSP プロセッサ	7
2.5	LDS-cell	8
2.6	グリッチ緩和の様子	9
3.7	パワーゲーティングの概要	14
4.8	パイプラインレジスタでの適用部分	17
4.9	LDS-cell での適用部分	17

表 目 次

3.1	現在の主要な低消費電力化手法	12
5.2	DFE 単体評価結果	18
5.3	パワーゲーティング適用トランジスタ数	20

1 序論

1.1 背景

近年，モバイルコンピューティングの分野ではプロセッサの消費電力の増大が問題となっており，低消費エネルギーと高性能の両立が要求されている．そこで，この要求に応えるため本研究室ではアーキテクチャレベルの低消費エネルギー化手法として，パイプライン段数を動的に変更する可変パイプライン段数アーキテクチャ (VSP; Variable Stages Pipeline) [1] を提案している．

一般にプロセッサで消費される電力は動的消費電力と静的消費電力に大別できる．動的消費電力はトランジスタのスイッチングにより消費される電力である．一方，静的消費電力はトランジスタの漏れ電流によって引き起こされ，トランジスタのスイッチングに関係なく消費される電力でリーク電力ともいう．近年プロセス技術の微細化に伴い消費電力におけるリーク電力の占める割合が増大し，45nm プロセスでは動的消費電力と同程度まで増大すると考えられている．

VSP による消費電力削減の効果は動的消費電力に対するものであり，リーク電力を削減することは出来ない．そこで本研究では VSP に対して，リーク電力削減に有効な手法であるパワーゲーティングを適用すること

で更なる低電力化を目指した。

2 可変パイプライン段数アーキテクチャ

2.1 概要

アーキテクチャレベルの低消費エネルギー化手法として PSU(Pipeline Stage Unification)[2] や VSP[1] のように動的にパイプラインステージを変化させる手法がある。このような可変パイプライン段数アーキテクチャの動作の様子を Fig2.1, Fig2.2 に示す。可変パイプライン段数アーキテクチャでは、プロセッサの負荷が高く高速な処理が必要な場合は、多段のパイプラインプロセッサとして高クロックで駆動する。一方プロセッサの負荷が低く高速な処理が必要ない場合はパイプラインステージを統合し、少段のパイプラインプロセッサとして低クロックで駆動する。パイプラインステージを統合することによって得られる利点は以下の2点である。すなわち、

- (1) 分岐ペナルティとデータ依存による待ちサイクルの削減によって実行時間を削減することが可能であること、
- (2) 使用しないパイプラインレジスタやユニットへのクロックを停止することでその部分の消費電力を削減できること、

である。以上の利点によって低消費エネルギー化が可能である。

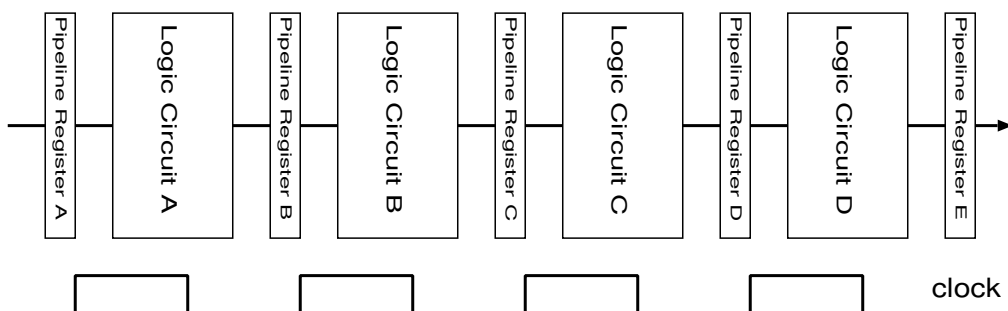


図 2.1: 多段パイプライン

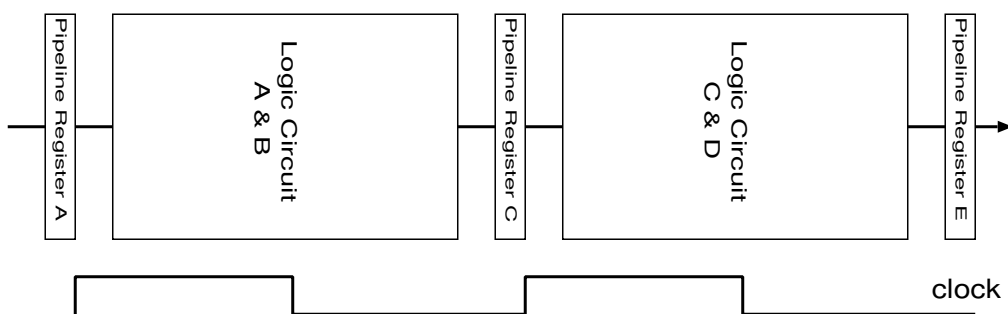


図 2.2: 少段パイプライン

2.2 パイプライン統合手法

可変パイプライン段数アーキテクチャでは、パイプライン段数を変更出来るようにするために本来は DFF だけで構成されているパイプラインレ

レジスタをマルチプレクサを使用し、データを次の回路へ流すのか、DFFで保持するのかが選択できるようにしている。

Fig2.3 はパイプラインレジスタを使用するかどうかを選択する回路である。マルチプレクサ MUX に制御信号を与えることで選択を行う事が出来る。高速モードでは DFF を使用し、パイプライン段数を増やし、周波数を上げることで高性能を実現する。低消費モードでは DFF を使用せず、周波数を下げ、次の回路へデータを流すことにより、パイプライン段数を減らせ低消費電力を実現出来る。

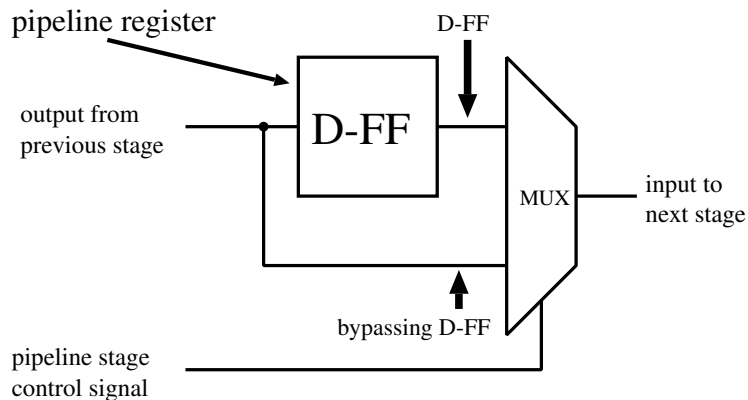


図 2.3: DFF+MUX

2.3 VSP (Variable Stages Pipeline)

本研究室で提案している VSP は、PSU と同様にパイプライン段数を動的に変更することで低消費エネルギーと高性能の両立を目指す手法であ

るが、PSU とは異なり単純にステージ統合を行うのではなく、統合により発生するグリッチの増加を LDS-cell という特殊なセルを導入することにより抑制している。グリッチ、LDS-cell に関しては で説明する。VSP プロセッサの様子を Fig2.4 に示す。

具体的には高速で動作する HS モードと、低電力で動作する LE モードの 2 つのモードを持つ。2 つのモードの特徴は以下の通りである。

HS モード :

- 9 段パイプラインであり、LDS-cell はパイプラインレジスタとして動作する。
- デコードステージに分岐予測ユニットを搭載しており、分岐ミスペナルティは 3 サイクルである。
- 無条件分岐は分岐予測ユニットにおいて 100% の分岐予測が可能である。
- インターロックと演算結果のフォワーディング機構を搭載している。

LE モード :

- 3 段パイプラインであり、高速モードの 1/4 の周波数で動作する。
LDS-cell は D-Latch として動作する。

- 遅延分岐，遅延ロード，フォワーディングによって分岐ペナルティやデータ依存によるインターロックが発生しない。
- 分岐予測ユニットやバイパスされて使用しなくなったパイプラインレジスタのクロックを止めることでパイプラインレジスタで消費されるエネルギーを削減することが出来る。

これら2つのモードにより VSP は，1) バイパスするパイプラインレジスタの停止を含むクロックゲーティングと，2) グリッチ緩和により消費電力を低減する。

2.3.1 LDS-cell について

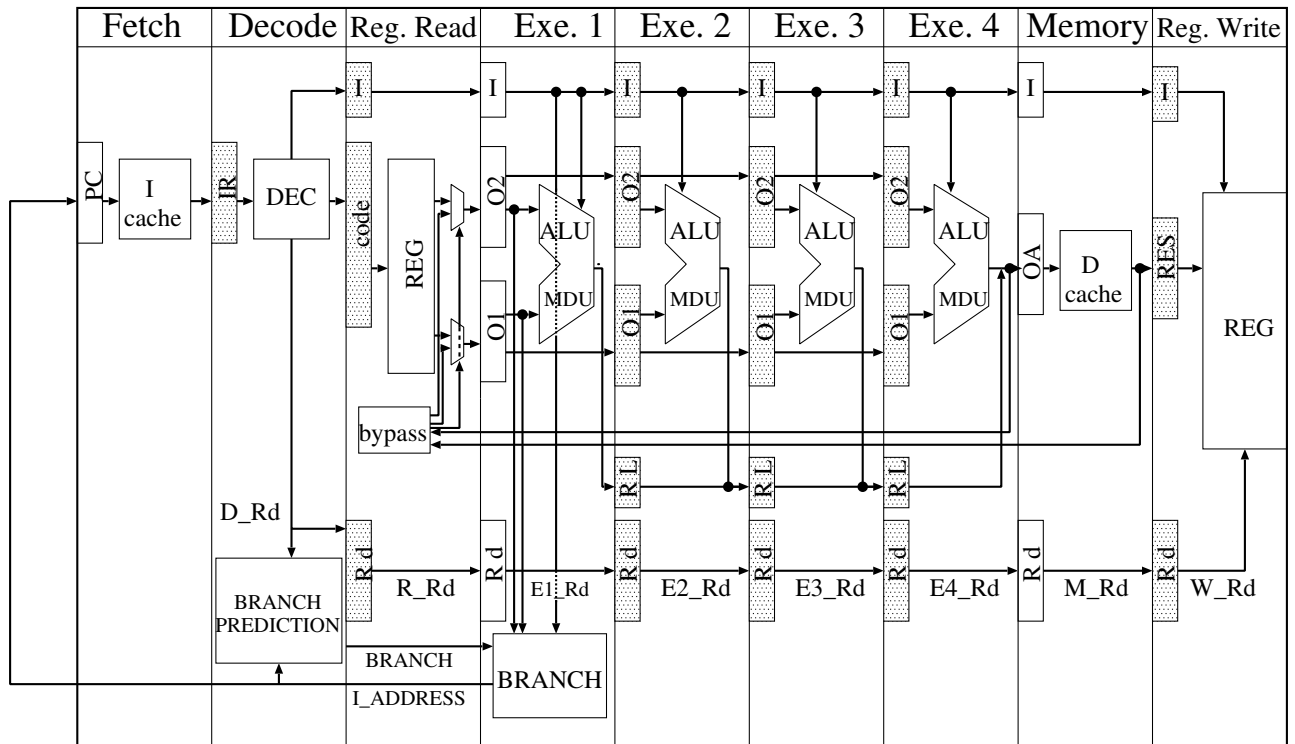
VSP ではパイプラインレジスタの一部を LDS-cell と呼ばれるセルに置き換えることで無駄な消費電力となるグリッチの発生を抑制している。

ここでグリッチとは，電子回路に現れる無駄な電気信号の変動のことであり，パルス周期の突然の変化や，ゲート遅延・配線遅延のばらつきなどで生じてしまう。グリッチは一度発生すると次の回路へ伝播され，後段の回路ではさらにグリッチが発生してしまう。

LDS-cell は Fig2.5 の示すように，マスタースレーブ型 DFF + マルチプレクサ MUX の構成になっており，HS モード時ではパイプラインレジスタ

High Speed mode

9 stages pipeline processor



D-FF+MUX

D-FF+MUX

D-FF+MUX

D-FF+MUX

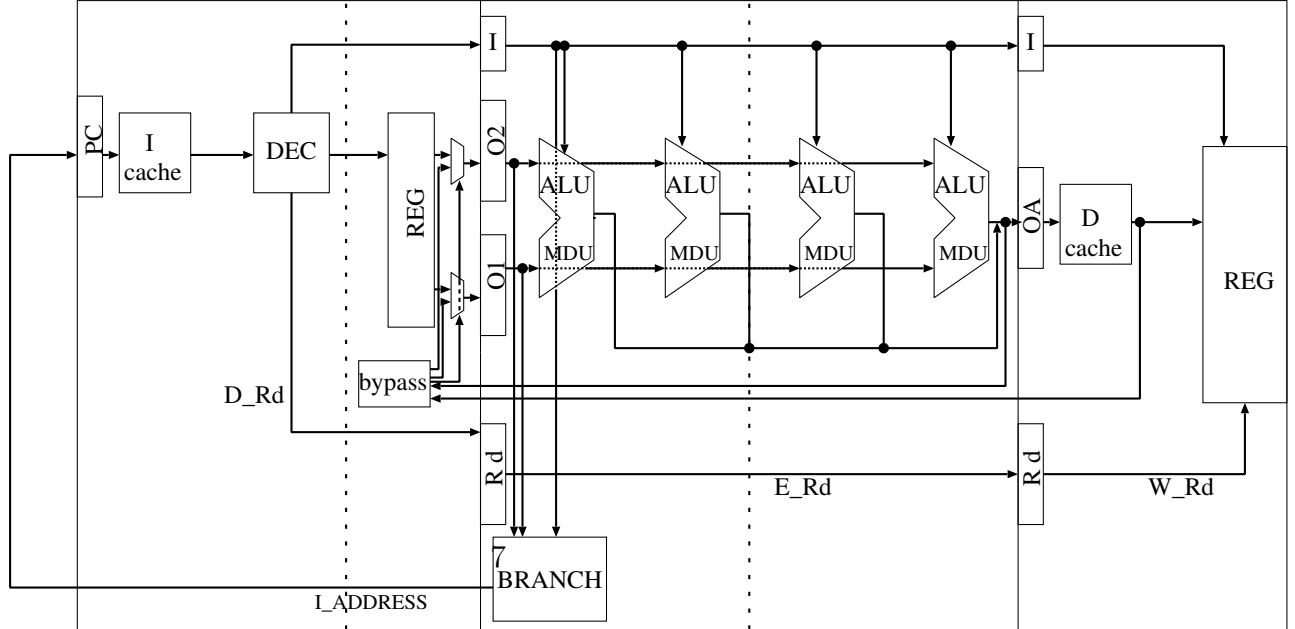
LDS-cell

LDS-cell

Fetch, Decode, Reg. Read

Exec.

Memory, Reg. Write



Low Energy mode

3 stages pipeline processor

図 2.4: VSP プロセッサ

タとして、LEモード時にはスレーブラッチをバイパスし、Master Latchのみを通ることでD-Latchとして動作する。これを組み合わせ回路の中段付近に挟むことで、Fig2.6のようにグリッチを緩和することが出来る。これは、ラッチはクロックが下がるまでは後段の組み合わせ回路に電気信号を伝達させない性質があるためである。

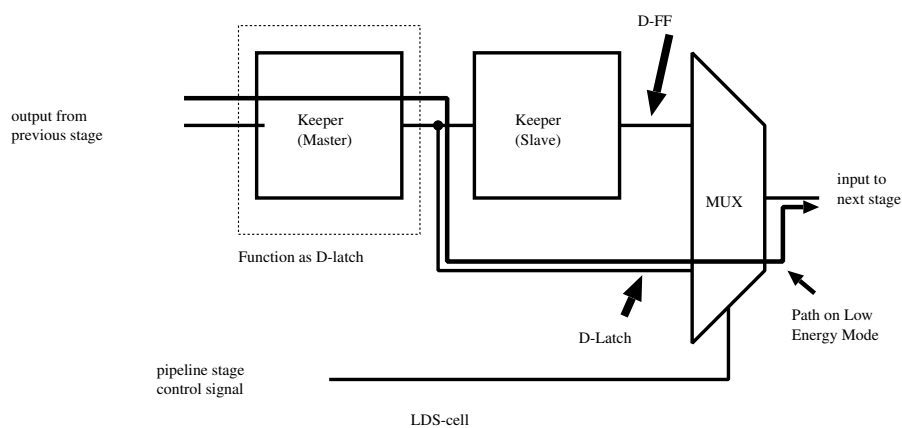


図 2.5: LDS-cell

2.3.2 リーク電力削減の必要性

VSPではパイプラインレジスタやLDS-cellの一部等、部分的にクロックの入力を止め動作を停止させ動的消費電力を削減している箇所が多数存在する。しかし、そのように動作を停止するだけではリーク電力は削減されず、動作停止中もリーク電力は消費され続けてしまう。

近年、プロセス技術の微細化が進みプロセッサではリーク電力が無視

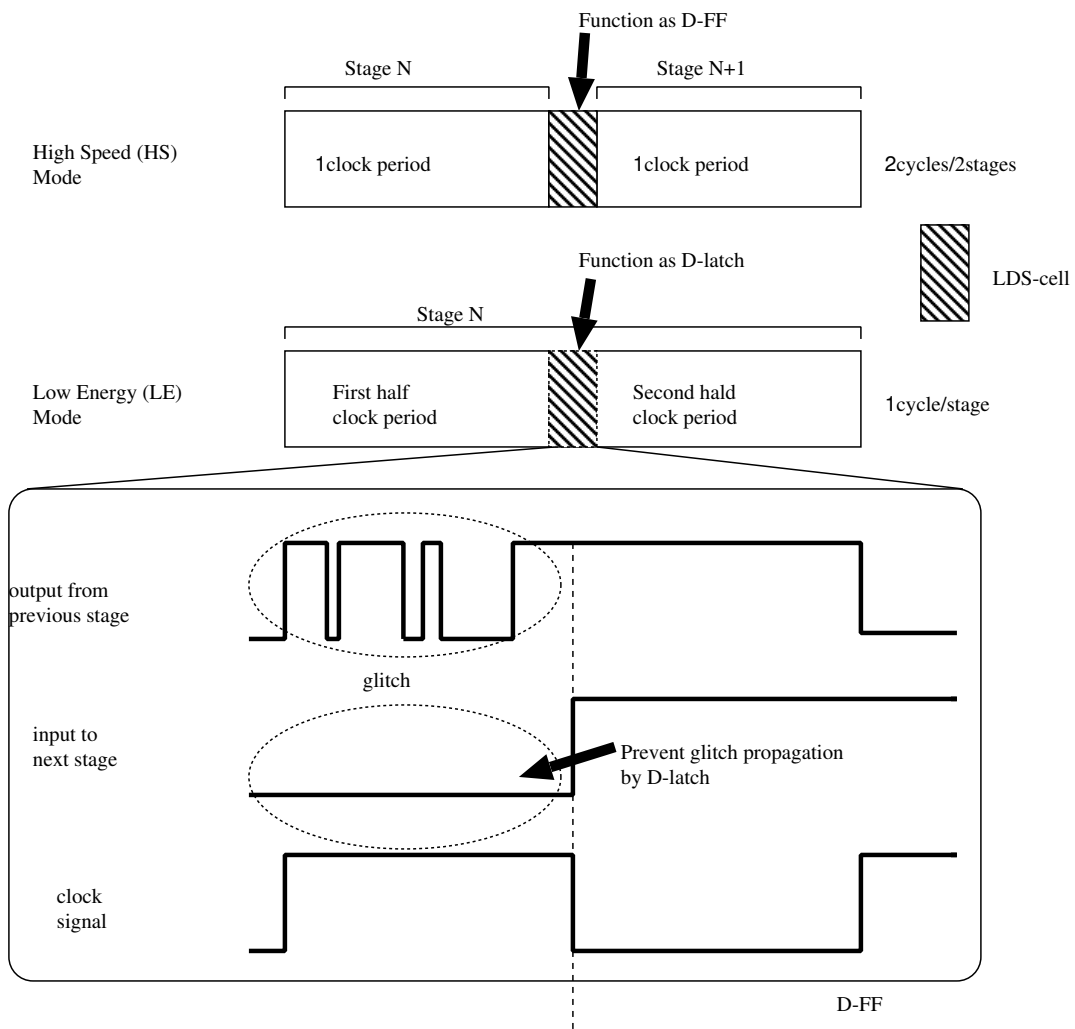


図 2.6: グリッチ緩和の様子

できないほど増大し，消費電力全体における双方の占める割合は同程度にまでなると考えられている．それに伴いVSPによる低電力効果が消費電力全体に対して相対的に小さくなっていくと考えられる．

そこでそのような次世代プロセスに対応するためにも，VSPにおいてリーク電力を削減することが求められている．

3 パワーゲーティングについて

3.1 低電力化手法

まず、消費電力(P)というのは以下の式をもって表すことが出来、第1項、第2項が動的消費電力を、第3項がリーク電力を表している。

$$P = CV^2fN + QVfN + IV + etc$$

動的消費電力を削減するには、電源電圧(V)もしくはスイッチングの回数(fN)を小さくすればよい。一方、リーク電力を削減するには電源電圧(V)もしくはソース・ドレイン間を流れる電流(I)を小さくすればよい。またこのときの電流(I)というのはソース・ドレイン間に掛かる電圧(Vg)から閾値電圧(Vth)をひいたもの(Vg-Vth)に比例するので、電流(I)を小さくするには電源電圧を下げるか、閾値電圧を上げてやればよい。また、いずれかの方法で電力の削減を行ったとしてもその箇所の性能は下がってしまい、トレードオフの関係にある。それらをふまえ、ここで現在広く用いられている低消費電力化手法を紹介する。

クロックゲーティング

動作していない回路セルのクロックを動的に供給遮断し、動的消費電力の削減を行う手法。VSPでも既に用いられているが、リーク電力の削減

表 3.1: 現在の主要な低消費電力化手法

	動的消費電力削減	リーク電力削減
クロックゲーティング	○	
マルチ V _t (MTCMOS)		○
DVS	○	○
パワーゲーティング	○	○

は不可能である。

マルチ V_t (MTCMOS)

1つのダイ上で高速に動作させたい回路は閾値電圧を低く、低速でもいい回路は高く、中間速度の回路では中間の電圧にする。これにより高速回路はリーク電流が高いままでも、中速、低速回路部分はリーク電流を低く抑える事が出来る手法である。

DVS

電源電圧を負荷に応じて変更する手法で、動的消費電力、リーク電力共に削減可能である。しかし、近年 CMOS の電源電圧は低下の一途をたどっており、電源電圧を変更できる幅が小さくなってしまふ。これにより、将来的に消費電力削減効果の低下が予想される。

パワーゲーティング

パワーゲーティングは、回路内の使用されていないブロックの電力を一時的に遮断することでそのブロックの動的消費電力及びリーク電力の削

減を行う手法である。

パワーゲーティングは電源供給を完全に遮断することから、他の手法よりもリーク電力削減に関して有効である。また、前述の通り VSP では既にクロックゲーティングを用い、LE モード時に不要な回路の動作を停止しているため、部分的な回路に対して電源供給を細粒度に制御する事が出来るパワーゲーティングは VSP と相性が良いと考えられる。そこで本研究ではリーク電力削減の手法としてパワーゲーティングに注目する。

3.2 パワーゲーティングの概要

パワーゲーティングとは回路の一部に対して電源供給を絶つことでリーク電力を削減する技術である。電源供給の制御は、電源 (VDD) またはグランド (Ground) と、パワーゲーティングを適用する回路ブロックとの間にトランジスタを挿入する事で行う。このとき用いられるトランジスタはパワースイッチと呼ばれ、通常の CMOS に比べて動作は遅いが閾値電圧が高いという特性を持つ。この特性により PS が OFF の時の PS 自身のリーク電力も低く抑えることが出来る。Fig 3.7 に PS として NMOS を用いて行う footer 型のパワーゲーティングの様子を示す。パワースイッチが ON の場合には、回路ブロックのグランド側端 (以降、仮想グランド線

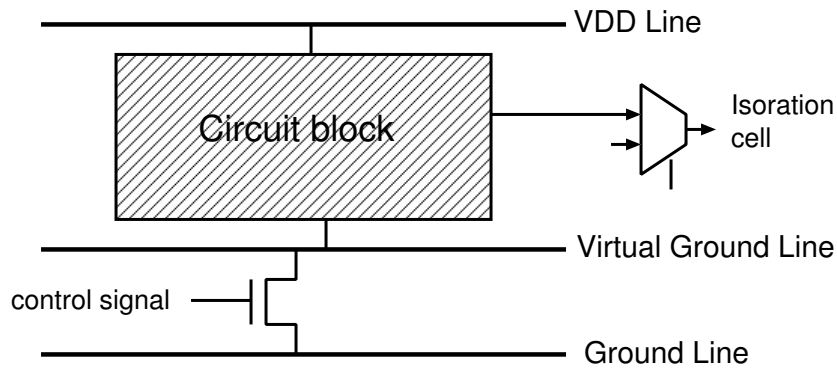


図 3.7: パワーゲーティングの概要

(Virtual Ground) と呼ぶ) がグラウンドと同電位になり回路ブロックは通常の動作を行うが、リーク電力は消費され続けてしまう。一方パワースイッチが OFF の場合、仮想グラウンド線はグラウンドから切り離され、仮想グラウンドに電荷が溜まっていく、その結果回路ブロック内の電位差が小さくなり、リーク電力が削減される。

3.3 パワーゲーティング適用への障害

一般に、パワーゲーティングを行う際にいくつか障害が生じる。まず PS が OFF の時、回路ブロックからの出力は閾値電圧付近の中間電圧になり、後段の回路内の PMOS, NMOS が同時に ON になってしまう。これにより VDD から Ground へ直接流れてしまう電流、貫通電流が発生し、大きく電力が消費されてしまう。そのため、Fig 3.7 のように回路ブロッ

クの後ろに MUX 等を挿入し、中間電圧の伝播を防ぐ必要がある。この時に挿入される回路は Isolation cell と呼ばれ、ハードウェア量の増加につながる。

また、PS を OFF にすることで回路ブロック内の電位差は無くなり、DFF や Latch 等で記憶していた内容は破壊されてしまう。そのため記憶内容を保持しておきたい場合にはリテンションレジスタと呼ばれる高閾値電圧のトランジスタで構成される記憶素子を用意し、そこへ記憶内容を退避する必要がある、これもまたハードウェア量の増加につながる。

4 パワーゲーティング適用の手法

本研究では前述の問題を解決した上で VSP 中の以下の箇所へパワーゲーティングを適用する。その適用箇所は

(1) パイプライン統合時に停止するパイプラインレジスタ (DFF),

(2) LDS-cell 内の Slave Latch,

であり、それぞれ Fig4.8, Fig4.9 の斜線部分が相当する。

前述の通り、パイプライン統合に用いるパイプラインレジスタは DFF + MUX の構成になっており、HS モード時は DFF として、LE モード時は DFF をバイパスし前ステージからの出力をそのまま伝えるように動作する。また LDS-cell も同様に DFF + MUX の構成だが、バイパスする箇所が異なり、HS モード時はパイプラインレジスタと同様に DFF として、LE モード時には Slave Latch をバイパスし Master Latch のみ通ることで D-Latch として動作する。LE モード時、動作が不要となりバイパスされるこれら (1), (2) の回路に対しパワーゲーティングを適用することでリーク電力の削減を試みる。

この手法によりパワーゲーティングを適用した場合、(1), (2) の回路の後段には元々 MUX が備わっているため新たに Isolation cell を挿入する必

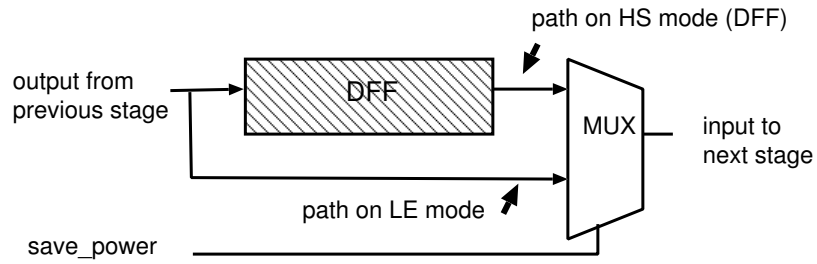


図 4.8: パイプラインレジスタでの適用部分

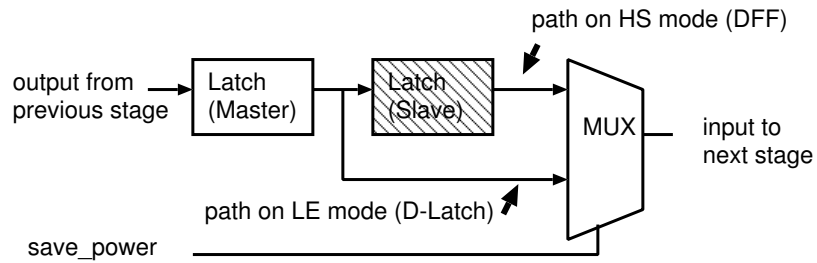


図 4.9: LDS-cell での適用部分

要はない。また LE モードから HS モードへ復帰時に、以前の値を保持している必要はないので、今回新たに挿入するのは PS のみとなり、ハードウェア面積増加のオーバーヘッドを大幅に減らすことが出来る。

5 性能評価

5.1 DFF 単体での評価

回路シミュレータ HSPICE を用いて、DFF 単体での消費電力評価を行った。その結果を Table5.2 に示す。表中の All は一般的な DFF のトグル率といわれるトグル率 10%の波形を入力として与えた時の、Leak は入力波形を与えずリーク電力のみを測定した時の、Apply は PS を適用し All と同様の波形を入力として与えた時の消費電力である。この結果より、全消費電力の内約 45%がリーク電力であることがわかる、また、PS を適用することによりそのリーク電力の 98%が削減され、パワーゲーティングを適用することの有用性を示すことが出来た。

表 5.2: DFF 単体評価結果

	消費電力 (W)	All に対する割合 (%)
All	2.559×10^{-6}	-
Leak	1.176×10^{-6}	45
Apply	2.467×10^{-8}	0.95

5.2 VSP 全体での評価

180nm プロセスで設計された VSP を、リーク電力が顕著に表れる 45nm プロセスにシュリンクしたうえで、パワーゲーティングを適用し VSP 全体での評価を行った。単体の評価に用いた HSPICE は正確な評価を行う

事ができるが、VSPのような数十万規模の回路では計算量が膨大になり現実的な時間でシミュレーションが終わらないという問題がある。そのためVSP全体での評価にはより高速な回路シミュレータであるNanosimを用いた。数種類のテストパターンを用いてシミュレーションした結果、パワーゲーティング適用後も正常に動作していることを確認出来た。しかし、Nanosimは高速にシミュレーション出来る反面、その精度は低く、特にリーク電力を測定することが出来ず、VSP全体での電力評価結果が得られなかった。

5.3 リーク電力削減量の概算

前述の通り、回路シミュレータを用いてVSP全体の電力評価を行うことは出来なかった。しかし、リーク電力はトランジスタ数に比例して消費されるため、VSP全体におけるパワーゲーティングを適用した回路のトランジスタ数による割合を用いて概算することが出来る。Table5.3に示すように、今回パワーゲーティングを適用したDFFは1001個、Slave Latchは507個、トランジスタ数に直すと合計で34112個になる。これはVSP全体のトランジスタ数である518314個の6.58%に相当する。単体評価で確認したように、パワーゲーティングを適用する事でその回路のリー

ク電力の約98%と、そのほとんどが削減される。よってVSP全体としてはLEモード時に約6%のリーク電力削減を見込む事が出来る。

またLEモードではHSモードの1/4の周波数で動作するため、動的消費電力も1/4となる。これによりLEモード時の消費電力におけるリーク電力の割合が高くなり、消費電力全体から見たとしても約4%程度の電力削減効果を見込むことが出来るといえる。

表 5.3: パワーゲーティング適用トランジスタ数

	適用ゲート数	ゲート1つのトランジスタ数	適用トランジスタ数
DFF	1001	28	28028
Slave Latch	507	12	6084
合計			34112

6 まとめと今後の課題

6.1 まとめ

本研究では，リーク電力削減のために VSP へパワーゲーティングを適用した．結果，VSP 全体での詳細な評価を行うことは出来なかったが，従来のパワーゲーティング非適用の VSP と比較し，LE モード時のリーク電力において約 6%程度の削減を見積もる事が出来た．

6.2 今後の課題

VSP では LE モード時に，今回パワーゲーティングを適用したパイプラインレジスタ，LDS-cell だけでなく分岐予測器も動作を停止させている．分岐予測器は VSP の約 33%を占めるほどハードウェア量が大きくパワーゲーティング適用により大きなリーク電力削減効果が見込める．

しかし，分岐予測器内部では分岐の結果を履歴として記憶しており，その内容が分岐予測の性能に大きく影響している．ただ単純にパワーゲーティングを適用してしまうと LE モード時にそれまで記憶していた履歴情報が破壊されてしまうため，HS モード復帰時に大きく性能が低下するおそれがある．

そのため，現在 VSP で使用している gshare 型の分岐予測器をハイブ

リッド分岐予測器等の冗長なものに換えた上でその一部にパワーゲーティングを適用したり、PSがOFFの状態でも内容を保持できる記憶素子を用いたパワーゲーティングの適用等、性能を維持したままリーク電力を削減することが今後の課題となる。

謝辞

本研究を行うにあたり，ご指導，ご助言いただき下さいました佐々木敬泰助教，並びに多くの助言をいただきました近藤利夫教授，大野和彦講師に深く感謝いたします．また，様々な局面にてお世話になりました計算機アーキテクチャ研究室の皆様にも心より感謝いたします．

参考文献

- [1] 市川 裕三, 佐々木 敬泰, 弘中 哲夫, 北村 俊明, 近藤 利夫, “可変パイプラインを用いた低消費エネルギープロセッサの設計と評価“, 情報処理学会論文誌 (コンピューティングシステム), Vol.47, pp.231–242, 2006 年 5 月.
- [2] Jun YAO, Shinobu MIWA, Hajime SHIMADA, Members, and Shinji TOMITA, “A Dynamic Control Mechanism for Pipeline Stage Unification by Identifying Program Phases“, IEICE TRANS. INF. & SYST., Vol. E91-D, pp.1010-1022, APRIL 2008
- [3] 中田 光貴, 白井 利明, 香嶋 俊裕, 武田 清大, 宇佐見 公良, 長谷川 揚平, 関直臣, 天野 英晴, “ランタイムパワーゲーティングを適用した回路での検証環境と電力見積もり手法の構築“, 電子情報処通信学会技術研究報告 (コンピュータシステム), Vol.107, pp.37–42, 2008 年 1 月.
- [4] 白井 利明, 香嶋 俊裕, 武田 清大, 中田 光貴, 宇佐見 公良, 長谷川 揚平, 関直臣, 天野 英晴, “ランタイムパワーゲーティングを適用した MIPS R3000 プロセッサの実装設計と評価“, 電子情報処通信学

会技術研究報告（コンピュータシステム）,Vol.107, pp.43-48, 2008

年1月.